

## SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

Publication number: JP2001291869

Publication date: 2001-10-19

Inventor: IMAIZUMI MASAYUKI; TARUI YOICHIRO; SUGIMOTO HIROSHI;  
OTSUKA KENICHI; TAKAMI TETSUYA

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: H01L29/78; H01L29/24; H01L29/66; H01L29/02; (IPC1-7): H01L29/78;  
H01L21/336

- european: H01L29/78C

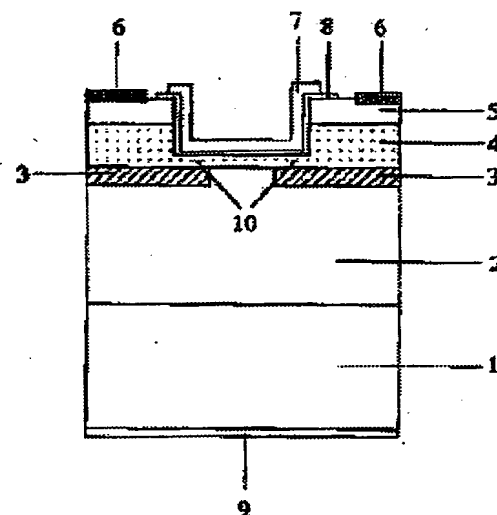
Application number: JP20000104476 20000406

Priority number(s): JP20000104476 20000406

Report a data error here

## Abstract of JP2001291869

**PROBLEM TO BE SOLVED:** To provide a semiconductor device constituted of silicon carbide semiconductor forming a storage type channel with high quality by epitaxial growth and etching without using ion implantation method. **SOLUTION:** A region 3 having p-type conductivity is partially formed in a silicon carbide semiconductor epitaxial layer 2 having n-type conductivity, and then silicon carbide semiconductor epitaxial layers 4 and 5 having n-type conductivity are accumulated on a semiconductor substrate 1 constituted of silicon carbide semiconductor having n-type conductivity in which silicon carbide semiconductor epitaxial layers having n-type conductivity are accumulated. Then, the silicon carbide semiconductor epitaxial layers 4 and 5 having n-type conductivity are partially etched, and a channel 10 constituted of n-type silicon carbide semiconductor epitaxial layers in the laminated structure of metal/insulating film/semiconductor is formed by using the etched faces.



- 1 n型炭化硅素基板
- 2 低濃度n型炭化硅素エピタキシャル層
- 3 p型領域
- 4 n型炭化硅素エピタキシャル層
- 5 高濃度n型炭化硅素エピタキシャル層
- 6 ソース電極
- 7 ゲート電極
- 8 ゲート絶縁膜
- 9 ドレイン電極
- 10 逆積型チャネル

Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開 2001-291869

(P 2001-291869A)

(43)公開日 平成13年10月19日(2001.10.19)

(51)Int. Cl.<sup>7</sup>

H 0 1 L 29/78

識別記号

6 5 2

F I

H 0 1 L 29/78

テームト(参考)

6 5 2 E 5F040

6 5 2 T

6 5 3 A

3 0 1 B

3 0 1 X

6 5 3

21/336

審査請求 未請求 請求項の数 10 O L

(全 8 頁)

最終頁に続く

(21)出願番号 特願2000-104476(P2000-104476)

(22)出願日 平成12年4月6日(2000.4.6)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 今泉 昌之

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72)発明者 樽井 陽一郎

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100057874

弁理士 曾我 道照 (外6名)

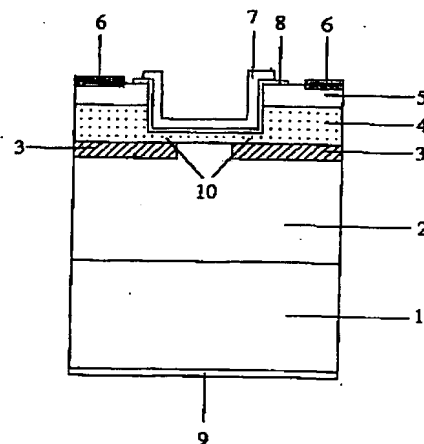
最終頁に続く

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】 イオン注入法を用いずに、エピタキシャル成長及びエッチングにより、高品質の蓄積型チャンネルを形成する炭化珪素半導体からなる半導体装置及びその製造方法を得る。

【解決手段】 n型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させたn型伝導性をもつ炭化珪素半導体からなる半導体基板1に対し、n型伝導性をもつ炭化珪素半導体エピタキシャル層2中にp型伝導性をもつ領域3を部分的に形成した後、n型伝導性をもつ炭化珪素半導体エピタキシャル層4、5を堆積させ、該n型伝導性をもつ炭化珪素半導体エピタキシャル層4、5に対し部分的にエッチングを施し、エッチングが施された面を用いて金属/絶縁膜/半導体の積層構造のn型炭化珪素半導体エピタキシャル層からなるチャンネル10を形成する。



- 1 n型炭化珪素基板
- 2 低濃度n型炭化珪素エピタキシャル層
- 3 p型領域
- 4 n型炭化珪素エピタキシャル層
- 5 高濃度n型炭化珪素エピタキシャル層
- 6 ソース電極
- 7 ゲート電極
- 8 ゲート絶縁膜
- 9 ドレイン電極
- 10 蓄積型チャンネル

## 【特許請求の範囲】

【請求項1】 炭化珪素半導体からなる半導体基板と、  
前記半導体基板上に堆積させたn型伝導性をもつ炭化珪素半導体エピタキシャル層と、  
前記炭化珪素半導体エピタキシャル層に部分的に形成したp型伝導性領域と、  
前記p型伝導性領域が部分的に形成された炭化珪素半導体エピタキシャル層上に堆積させたn型伝導性をもつ他の炭化珪素半導体エピタキシャル層と、  
前記他の炭化珪素半導体エピタキシャル層に対し部分的にエッチングが施された面を用いて形成された金属／絶縁膜／半導体の積層構造のn型炭化珪素半導体エピタキシャル層からなるチャネルとを備えたことを特徴とする半導体装置。

【請求項2】 請求項1に記載の半導体装置において、前記半導体基板を、n型伝導性をもつ炭化珪素半導体とすることを特徴とする半導体装置。

【請求項3】 請求項1に記載の半導体装置において、前記半導体基板を、p型伝導性をもつ炭化珪素半導体とすることを特徴とする半導体装置。

【請求項4】 p型伝導性をもつ炭化珪素半導体からなる半導体基板と、  
前記半導体基板上に堆積させたp型伝導性をもつ炭化珪素半導体エピタキシャル層と、  
前記p型伝導性をもつ炭化珪素半導体エピタキシャル層上に堆積させたn型伝導性をもつ炭化珪素半導体エピタキシャル層と、  
前記n型伝導性をもつ炭化珪素半導体エピタキシャル層に対し部分的にエッチングが施された面を用いて形成された金属／絶縁膜／半導体の積層構造のn型炭化珪素半導体エピタキシャル層からなるチャネルと、  
前記n型伝導性をもつ炭化珪素半導体エピタキシャル層側に形成されたソースおよびドレイン電極とを備えたことを特徴とする半導体装置。

【請求項5】 p型伝導性をもつ炭化珪素半導体からなる半導体基板と、  
前記半導体基板上に堆積させたp型伝導性をもつ炭化珪素半導体エピタキシャル層と、  
前記p型伝導性をもつ炭化珪素半導体エピタキシャル層上に堆積させたn型伝導性をもつ炭化珪素半導体エピタキシャル層と、  
前記n型伝導性をもつ炭化珪素半導体エピタキシャル層上に堆積させたp型伝導性をもつ他の炭化珪素半導体エピタキシャル層と、  
前記n型伝導性をもつ炭化珪素半導体エピタキシャル層と前記p型伝導性をもつ他の炭化珪素半導体エピタキシャル層に対し部分的にエッチングが施された面を用いて形成された金属／絶縁膜／半導体の層構造のn型炭化珪素半導体エピタキシャル層からなるチャネルと、  
前記n型伝導性をもつ炭化珪素半導体エピタキシャル層

上に形成されたソース電極と、

前記p型伝導性をもつ炭化珪素半導体エピタキシャル層に形成されたドレイン電極とを備えたことを特徴とする半導体装置。

【請求項6】 炭化珪素半導体からなる半導体基板上にn型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、  
前記n型伝導性をもつ炭化珪素半導体エピタキシャル層中にp型伝導性をもつ領域を部分的に形成する工程と、  
p型伝導性をもつ領域が部分的に形成された前記n型伝導性をもつ炭化珪素半導体エピタキシャル層上にn型伝導性をもつ他の炭化珪素半導体エピタキシャル層を堆積させる工程と、  
n型伝導性をもつ他の炭化珪素半導体エピタキシャル層に対し部分的にエッチングを施す工程と、  
エッチングが施された面を用いて金属／絶縁膜／半導体の積層構造のn型炭化珪素半導体エピタキシャル層からなるチャネルを形成する工程とからなることを特徴とする半導体装置の製造方法。

【請求項7】 請求項6に記載の半導体装置の製造方法において、前記半導体基板を、n型伝導性をもつ炭化珪素半導体とすることを特徴とする半導体装置の製造方法。

【請求項8】 請求項6に記載の半導体装置の製造方法において、前記半導体基板を、p型伝導性をもつ炭化珪素半導体とすることを特徴とする半導体装置の製造方法。

【請求項9】 p型伝導性をもつ炭化珪素半導体からなる半導体基板上にp型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、  
前記p型伝導性をもつ炭化珪素半導体エピタキシャル層上にn型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、  
前記n型伝導性をもつ炭化珪素半導体エピタキシャル層に対し部分的にエッチングを施す工程と、  
エッチングが施された面を用いて金属／絶縁膜／半導体の積層構造のn型炭化珪素半導体エピタキシャル層からなるチャネルを形成し、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層側にソースおよびドレイン電極を形成する工程とからなることを特徴とする半導体装置の製造方法。

【請求項10】 p型伝導性をもつ炭化珪素半導体からなる半導体基板上にp型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、  
前記p型伝導性をもつ炭化珪素半導体エピタキシャル層上にn型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、  
前記n型伝導性をもつ炭化珪素半導体エピタキシャル層上にp型伝導性をもつ他の炭化珪素半導体エピタキシャル層を堆積させる工程と、

前記n型伝導性をもつ炭化珪素半導体エピタキシャル層と前記p型伝導性をもつ他の炭化珪素半導体エピタキシャル層に対し部分的にエッチングを施す工程と、エッチングが施された面を用いて金属／絶縁膜／半導体の層構造のn型炭化珪素半導体エピタキシャル層からなるチャンネルを形成し、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層にソース電極を形成すると共に、前記p型伝導性をもつ他の炭化珪素半導体エピタキシャル層にドレイン電極を形成する工程とからなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、炭化珪素半導体材料からなる半導体装置及びその製造方法に関するものである。

【0002】

【従来の技術】従来の炭化珪素半導体からなる電界効果トランジスタあるいは絶縁ゲート両極性トランジスタなどの半導体装置は、チャンネルの実効移動度が小さいという問題があり、その問題を解決する手段として、例えば、ELECTRON DEVICE LETTERSの20巻624ページに記載されているように、イオン注入法を用いて窒素を添加することによりチャンネルを形成する領域をn型化し、伝導帯の曲がりを制御し電子蓄積型のチャンネルを形成することによって、実効移動度を増加させるという方法が用いられていた。

【0003】

【発明が解決しようとする課題】これまでの炭化珪素半導体からなる半導体装置には以上の様な手法が用いられていた。しかしながら、イオン注入法を用いて窒素を添加することによりチャンネルを形成する領域をn型化した場合は、注入により高密度の欠陥が生成された部分にチャンネルを形成することになるため、小さなチャンネル移動度しか得られないという問題があった。

【0004】この発明は、上記の問題点を解消するためになされたもので、炭化珪素半導体からなる半導体装置の電子蓄積型のチャンネルを形成する際に、イオン注入法を用いずに、エピタキシャル成長およびエッチングにより、高品質のチャンネルを形成することができる炭化珪素半導体からなる半導体装置を得ることを目的とするものである。

【0005】

【課題を解決するための手段】この発明に係る半導体装置は、炭化珪素半導体からなる半導体基板と、前記半導体基板上に堆積させたn型伝導性をもつ炭化珪素半導体エピタキシャル層と、前記炭化珪素半導体エピタキシャル層に部分的に形成したp型伝導性領域と、前記p型伝導性領域が部分的に形成された炭化珪素半導体エピタキシャル層上に堆積させたn型伝導性をもつ他の炭化珪素半導体エピタキシャル層と、前記他の炭化珪素半導体エ

タキシャル層に対し部分的にエッチングが施された面を用いて形成された金属／絶縁膜／半導体の積層構造のn型炭化珪素半導体エピタキシャル層からなるチャンネルとを備えたことを特徴とするものである。

【0006】また、前記半導体基板を、n型伝導性をもつ炭化珪素半導体とすることを特徴とするものである。

【0007】また、前記半導体基板を、p型伝導性をもつ炭化珪素半導体とすることを特徴とするものである。

【0008】また、p型伝導性をもつ炭化珪素半導体からなる半導体基板と、前記半導体基板上に堆積させたp型伝導性をもつ炭化珪素半導体エピタキシャル層と、前記p型伝導性をもつ炭化珪素半導体エピタキシャル層上に堆積させたn型伝導性をもつ炭化珪素半導体エピタキシャル層と、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層に対し部分的にエッチングが施された面を用いて形成された金属／絶縁膜／半導体の積層構造のn型炭化珪素半導体エピタキシャル層からなるチャンネルと、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層側に形成されたソースおよびドレイン電極とを備えたことを特徴とするものである。

【0009】また、p型伝導性をもつ炭化珪素半導体からなる半導体基板と、前記半導体基板上に堆積させたp型伝導性をもつ炭化珪素半導体エピタキシャル層と、前記p型伝導性をもつ炭化珪素半導体エピタキシャル層上に堆積させたn型伝導性をもつ炭化珪素半導体エピタキシャル層と、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層上に堆積させたp型伝導性をもつ他の炭化珪素半導体エピタキシャル層と、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層と前記p型伝導性をもつ他の炭化珪素半導体エピタキシャル層に対し部分的にエッチングが施された面を用いて形成された金属／絶縁膜／半導体の層構造のn型炭化珪素半導体エピタキシャル層からなるチャンネルと、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層上に形成されたソース電極と、前記p型伝導性をもつ炭化珪素半導体エピタキシャル層に形成されたドレイン電極とを備えたことを特徴とするものである。

【0010】また、この発明に係る半導体装置の製造方法は、炭化珪素半導体からなる半導体基板上にn型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層中にp型伝導性をもつ領域を部分的に形成する工程と、p型伝導性をもつ領域が部分的に形成された前記n型伝導性をもつ炭化珪素半導体エピタキシャル層上にn型伝導性をもつ他の炭化珪素半導体エピタキシャル層を堆積させる工程と、n型伝導性をもつ他の炭化珪素半導体エピタキシャル層に対し部分的にエッチングを施す工程と、エッチングが施された面を用いて金属／絶縁膜／半導体の積層構造のn型炭化珪素半導体エピタキシャル層からなるチャンネルを形成する工程とからなることを

特徴とするものである。

【0011】また、前記半導体基板を、n型伝導性をもつ炭化珪素半導体とすることを特徴とするものである。

【0012】また、前記半導体基板を、p型伝導性をもつ炭化珪素半導体とすることを特徴とするものである。

【0013】また、p型伝導性をもつ炭化珪素半導体からなる半導体基板上にp型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、前記p型伝導性をもつ炭化珪素半導体エピタキシャル層上にn型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層に対し部分的にエッチングを施す工程と、エッチングが施された面を用いて金属／絶縁膜／半導体の積層構造のn型炭化珪素半導体エピタキシャル層からなるチャンネルを形成し、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層側にソースおよびドレイン電極を形成する工程とからなることを特徴とするものである。

【0014】さらに、p型伝導性をもつ炭化珪素半導体からなる半導体基板上にp型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、前記p型伝導性をもつ炭化珪素半導体エピタキシャル層上にn型伝導性をもつ炭化珪素半導体エピタキシャル層を堆積させる工程と、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層上にp型伝導性をもつ他の炭化珪素半導体エピタキシャル層を堆積させる工程と、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層と前記p型伝導性をもつ他の炭化珪素半導体エピタキシャル層に対し部分的にエッチングを施す工程と、エッチングが施された面を用いて金属／絶縁膜／半導体の層構造のn型炭化珪素半導体エピタキシャル層からなるチャンネルを形成し、前記n型伝導性をもつ炭化珪素半導体エピタキシャル層にソース電極を形成すると共に、前記p型伝導性をもつ他の炭化珪素半導体エピタキシャル層にドレイン電極を形成する工程とからなることを特徴とするものである。

【0015】

【発明の実施の形態】この発明に係る炭化珪素半導体からなる半導体装置は、堆積させたn型エピタキシャル層を部分的に反応性ドライエッチング法などのエッチング法を用いて加工し、該加工部に蓄積型チャンネルを形成した構造をもつものである。

【0016】電子蓄積型のチャンネルを形成するために行う窒素のイオン注入の際、イオンの加速電圧は、通常、50kV以上が用いられ、炭化珪素半導体中に高密度の欠陥を発生させる。炭化珪素半導体では、高温熱処理などの一般的手法により、イオン注入により生成した欠陥の密度を大幅に低減することは困難であることが知られている。このため、イオン注入を行った部分にチャンネルを形成した場合は、欠陥によるキャリアの散乱中心が高密度で存在することになり、移動度を大幅に低下させてしまう。

【0017】この発明では、p型領域を有する炭化珪素半導体にn型炭化珪素エピタキシャル結晶層を堆積させ、そのエピタキシャル結晶層にエッチングを施し、エッチングを施した面にチャンネルを形成して電界効果トランジスタあるいは絶縁ゲート両極性トランジスタなどを作製する。エピタキシャル結晶層は高純度であり欠陥の密度も低いため、高いチャンネル移動度が得られる。エッチングを行った面には欠陥が存在するため、エッチングを施した面にチャンネルを形成した場合は、この欠陥によりチャンネル移動度が低下することが懸念される。

【0018】しかしながら、例えば反応性イオンエッチングにおいて、イオン種のエネルギーは、通常、500-600eV以下であり、また、バイアス電圧を制御することにより更にイオン種のエネルギーを下げることも可能であるため、イオン注入時と比較し反応性イオンエッチングでは、結晶中の欠陥の密度は非常に小さく、しかも、その欠陥は表面近傍にのみ存在している。反応性イオンエッチングによる欠陥はゲート絶縁膜を形成するための酸化あるいは犠牲酸化膜の形成およびその酸化膜のウェットエッチングにより容易に除去できると考えられるため、エッチングを施した面に形成したチャンネルにおいても高い移動度が得られる。

【0019】以下、具体的な実施の形態について説明する。

実施の形態1. まず、この発明の実施の形態1に係る半導体装置及びその製造方法を、図1ないし図3を用いて説明する。図1は、n型炭化珪素基板1の上に堆積させた低濃度n型炭化珪素エピタキシャル層2に対し、イオン注入により部分的にp型領域3を形成し、その上にn型炭化珪素エピタキシャル層4および高濃度n型炭化珪素エピタキシャル層5を堆積させた状態を示した断面図である。

【0020】図1に示した状態のエピタキシャル層を堆積させた炭化珪素基板に対し、エッチングマスクを用いて反応性イオンエッチングを部分的に施した後の状態の断面図を図2に示している。図2に示した状態のエッチング済み炭化珪素基板に対し、図3に示すように、熱酸化によりゲート絶縁膜8を、そして、ソース電極6、ゲート電極7、ドレイン電極9を形成すれば、イオン注入による損傷を受けていない蓄積型チャンネル10を有する縦型の金属／絶縁膜／半導体の積層構造の電界効果トランジスタを得ることができる。

【0021】この縦型の電界効果トランジスタは、図2において、エッチング後に残すn型炭化珪素エピタキシャル層4の層厚Dを変えることにより、ノーマリオフあるいはノーマリオン動作させることが可能であり、また、しきい値電圧を変えることも可能である。

【0022】この実施の形態1では、イオン注入を一度しか行わず、また、炭化珪素のエピタキシャル成長は1600℃程度の高温で行うため、エピタキシャル成長中

に注入元素の電気的活性化がなされることになり、イオン注入後の活性化アニールを省くことができ、エピタキシャル成長およびエッチングにより、高品質のチャンネルを形成することができる。このため、素子作製の工程を大幅に簡略化できる。

【0023】また、実施の形態1では、ゲート絶縁膜8に酸化膜を用いたが、かわりに窒化珪素膜あるいは窒化アルミニウムを用いても電界効果トランジスタとすることができる。

【0024】実施の形態2. 図4は、この発明の実施の形態2に係る炭化珪素半導体からなる半導体装置を示す断面図である。図4に示す断面構造において、図3と同一部分は同一符号を付しその説明は省略する。図4に示す半導体装置は、図3に示す実施の形態1に係る構造において、n型炭化珪素半導体基板1を用いるかわりに、p型炭化珪素基板11を用いて作製したもので、この構造によって、イオン注入による損傷を受けていない蓄積型チャンネルを有した絶縁ゲート両極性トランジスタを構成することができる。

【0025】実施の形態1、2に示す金属/絶縁膜/半導体の積層構造の電界効果トランジスタあるいは絶縁ゲート両極性トランジスタに限らず、金属/絶縁膜/半導体の積層構造のチャンネル構造をもつ半導体装置に対して、実施の形態1に示した方法によりチャンネルを形成すれば、イオン注入による損傷を受けていない高品質のチャンネルとすることができる。

【0026】実施の形態3. 次に、この発明の実施の形態3に係る炭化珪素半導体からなる半導体装置及びその製造方法を図5ないし図7を用いて説明する。図5は、p型炭化珪素基板12の上に堆積させたp型炭化珪素エピタキシャル層13に対し、n型炭化珪素エピタキシャル層14および高濃度n型炭化珪素エピタキシャル層15を堆積させた状態を示した断面図である。

【0027】そして、図5に示した状態のエピタキシャル層を堆積させた炭化珪素半導体基板に対し、エッチングマスクを用いて反応性イオンエッチングを部分的に施した後の状態の断面図を図6に示している。エッチング後に残すn型エピタキシャル層14の層厚DDを変えることにより、ノーマリオフあるいはノーマリオン動作させることが可能であり、また、しきい値電圧変えることも可能である。

【0028】図6に示したエッチング済み炭化珪素基板に対し、図7に示すように、イオン注入により高濃度n型領域20を形成し、熱酸化によりゲート絶縁膜17を、そして、ソース電極19、ゲート電極18、ドレイン電極16を形成すれば、イオン注入による損傷を受けでない蓄積型チャンネル21を有する縦型の金属/絶縁膜/半導体の積層構造の電界効果トランジスタとなる。

【0029】上記の如く構成される本実施の形態3による電界効果トランジスタでは、イオン注入による損傷を

受けていない蓄積型チャンネルを有した電界効果トランジスタを構成することができ、また、ソース電極19およびドレイン電極16がともに炭化珪素基板の一方の面側に存在するため、炭化珪素基板上の集積回路とともに用いる場合などに有利な構造とすることができる。

【0030】実施の形態4. 図8は、この発明の実施の形態4に係る炭化珪素半導体からなる半導体装置を示す断面図である。図8に示す断面構造において、図7と同一部分は同一符号を付しその説明は省略する。図8に示す半導体装置は、図7に示す実施の形態3に係る構造において、高濃度n型炭化珪素エピタキシャル層15を堆積させるかわりに、高濃度p型炭化珪素エピタキシャル層22を堆積させて作製したもので、この構造によって、イオン注入による損傷を受けていない蓄積型チャンネルを有した絶縁ゲート両極性トランジスタを構成することができ、高いチャンネル移動度を得ることができる。

【0031】

【発明の効果】以上のように、この発明によれば、炭化珪素半導体からなる半導体装置において、高品質の金属/絶縁膜/半導体の積層構造のチャンネルを用いることができるため、高いチャンネル移動度を実現でき、電気的特性の優れた半導体装置を得ることが可能である。

【図面の簡単な説明】

【図1】 この発明の実施の形態1に係る炭化珪素半導体からなる半導体装置を示すもので、n型炭化珪素基板1の上に堆積させた低濃度n型炭化珪素エピタキシャル層2に対し、イオン注入により部分的にp型領域3を形成し、その上にn型炭化珪素エピタキシャル層4および高濃度n型炭化珪素エピタキシャル層5を堆積させた状態を示した断面図である。

【図2】 図1に示した状態のエピタキシャル層を堆積させた炭化珪素基板に対し、エッチングマスクを用いて反応性イオンエッチングを部分的に施した後の状態の断面図である。

【図3】 図2に示した状態のエッチング済み炭化珪素基板に対し、熱酸化によりゲート絶縁膜8を、そして、ソース電極6、ゲート電極7、ドレイン電極9を形成し作製した縦型の金属/絶縁膜/半導体の積層構造の電界効果トランジスタを示す断面図である。

【図4】 この発明の実施の形態2に係る炭化珪素半導体からなる半導体装置を示すもので、イオン注入による損傷を受けていない蓄積型チャンネルを有した絶縁ゲート両極性トランジスタの断面図である。

【図5】 この発明の実施の形態3に係る炭化珪素半導体からなる半導体装置を示すもので、p型炭化珪素基板12の上に堆積させたp型炭化珪素エピタキシャル層13に対し、n型炭化珪素エピタキシャル層14および高濃度n型炭化珪素エピタキシャル層15を堆積させた状態を示した断面図である。

【図6】 図5に示した状態のエピタキシャル層を堆積

させた炭化珪素基板に対し、エッチングマスクを用いて反応性イオンエッチングを部分的に施した後の状態の断面図である。

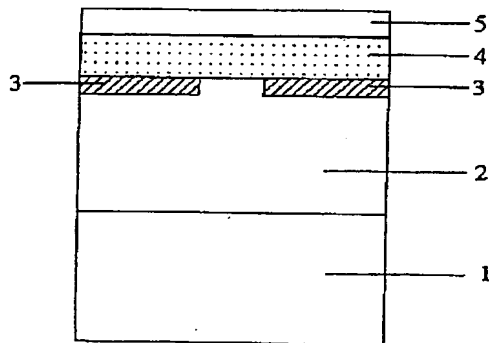
【図7】 図6に示したエッチング済み炭化珪素基板に対し、イオン注入により高濃度n型領域20を形成し、熱酸化によりゲート絶縁膜17を、そして、ソース電極19、ゲート極18、ドレイン電極16を形成し作製した、縦型の金属／絶縁膜／半導体の積層構造の電界効果トランジスタを示す断面図である。

【図8】 この発明の実施の形態4に係る炭化珪素半導体からなる半導体装置を示すもので、イオン注入による損傷を受けていない蓄積型チャンネルを有し、ソースおよびドレイン電極を炭化珪素基板の一方の面に有する絶縁ゲート両極性トランジスタの断面図である。

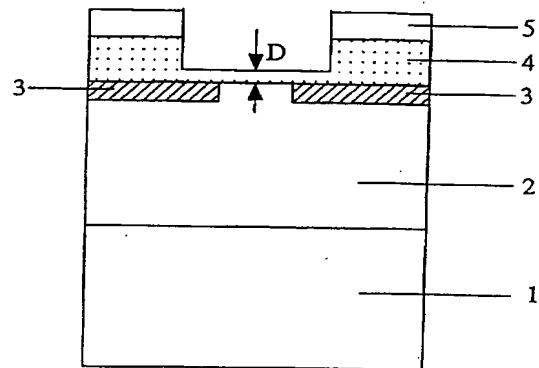
# 【符号の説明】

1 n型炭化珪素基板、2 低濃度n型炭化珪素エピタキシャル層、3 p型領域、4 n型炭化珪素エピタキシャル層、5 高濃度n型炭化珪素エピタキシャル層、6 ソース電極、7 ゲート電極、8 ゲート絶縁膜、9 ドレイン電極、10 蓄積型チャンネル、11 p型炭化珪素基板、12 p型炭化珪素基板、13 p型炭化珪素エピタキシャル層、14 n型炭化珪素エピタキシャル層、15 高濃度n型炭化珪素エピタキシャル層、16 ドレイン電極、17 ゲート絶縁膜、18 ゲート極、19 ソース電極、20 高濃度n型領域、21 蓄積型チャンネル、22 高濃度p型炭化珪素エピタキシャル層。

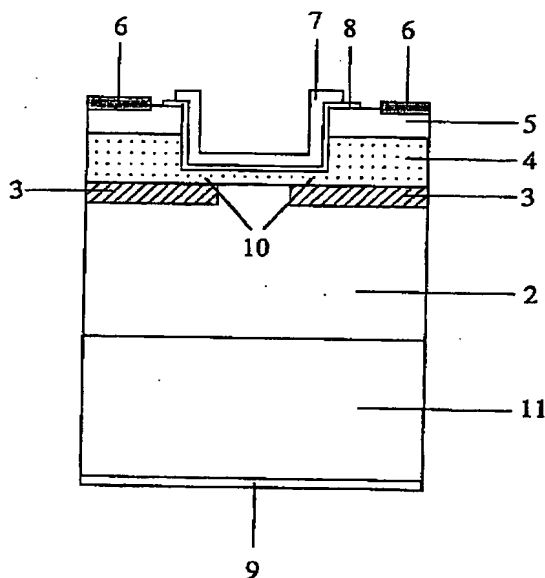
【図1】



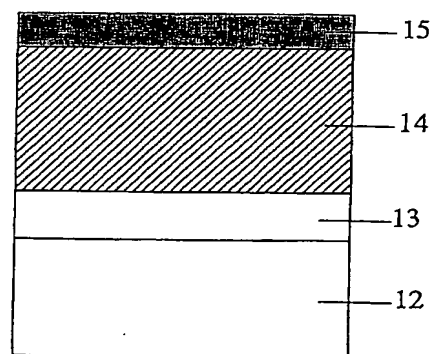
【図2】



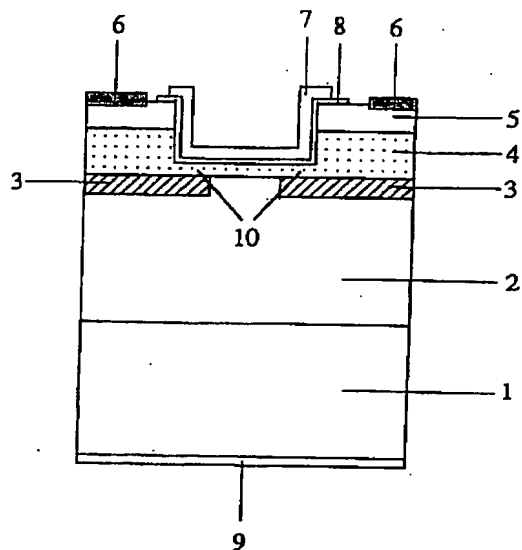
【図4】



【図5】

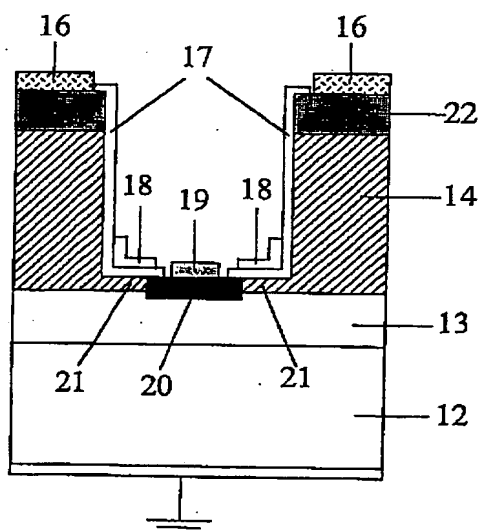


【図3】



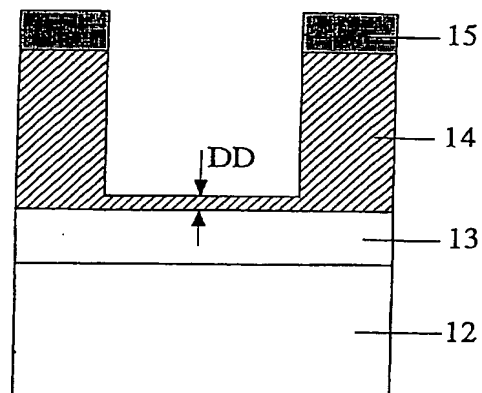
- 1 n型炭化珪素基板
- 2 低濃度n型炭化珪素エピタキシャル層
- 3 p型領域
- 4 n型炭化珪素エピタキシャル層
- 5 高濃度n型炭化珪素エピタキシャル層
- 6 ソース電極
- 7 ゲート電極
- 8 ゲート絶縁膜
- 9 ドレイン電極
- 10 溝型チャネル

【図8】

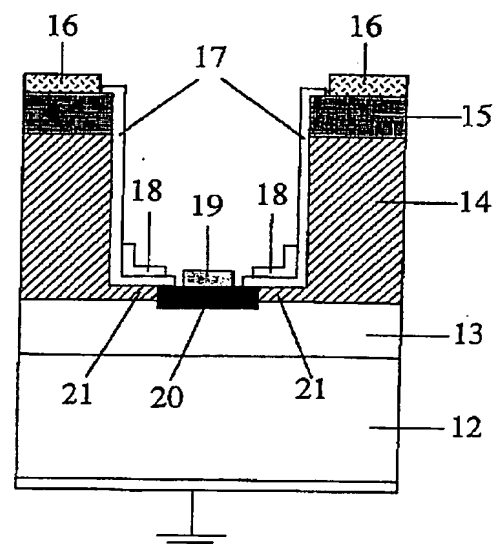


- 22 高濃度p型炭化珪素エピタキシャル層

【図6】



【図7】



- 12 p型炭化珪素基板
- 13 p型炭化珪素エピタキシャル層
- 14 n型炭化珪素エピタキシャル層
- 15 高濃度n型炭化珪素エピタキシャル層
- 16 ドレイン電極
- 17 ゲート絶縁膜
- 18 ゲート電極
- 19 ソース電極
- 20 高濃度n型領域
- 21 溝型チャネル



フロントページの続き

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テームコード(参考)

H 0 1 L 29/78

3 0 1 V

3 0 1 J

6 5 8 E

6 5 8 G

(72)発明者 杉本 博司

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 高見 哲也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 大塚 健一

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

Fターム(参考) 5F040 DA29 DB01 DC02 EA05 EB13

EB14 ED03 ED04 EE03 EF18

FC05 FC21